

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

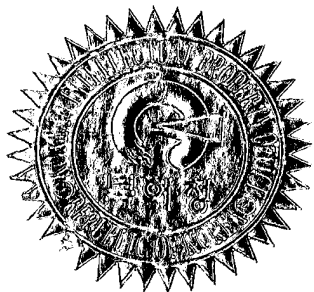
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0046925
Application Number PATENT-2002-0046925

출원 년 월 일 : 2002년 08월 08일
Date of Application AUG 08, 2002

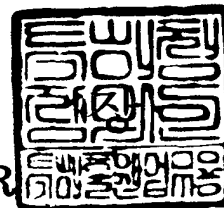
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.08
【발명의 명칭】	동기형 반도체 메모리 장치의 입력버퍼
【발명의 영문명칭】	INPUT BUFFER OF A SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	오름
【성명의 영문표기】	OH, REUM
【주민등록번호】	770222-2953133
【우편번호】	135-080
【주소】	서울특별시 강남구 역삼동 601-6
【국적】	KR
【발명자】	
【성명의 국문표기】	정우섭
【성명의 영문표기】	JEONG, WOO SEOP
【주민등록번호】	680210-1121225
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 719-52
【국적】	KR
【발명자】	
【성명의 국문표기】	김규현
【성명의 영문표기】	KIM, KYU HYOUN
【주민등록번호】	720520-1787539

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 한신아파트 811동 606호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 7 면 7,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 433,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 동기형 반도체 메모리 장치의 입력버퍼에 관한 것으로, 차동증폭기형 입력버퍼와 저전류형 입력버퍼를 구비하여, 노말 모드에서는 상기 차동증폭기형 입력버퍼를 동작시키고 셀프 리프레쉬 모드에서는 상기 저전류형 입력버퍼를 동작시킴으로써 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류를 감소시킬 수 있는 것을 특징으로 한다.

본 발명에 따른 동기형 반도체 메모리 장치의 입력버퍼에 의하면, 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류가 매우 작기 때문에 동기형 반도체 메모리 장치의 전력 소모를 줄일 수 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

동기형 반도체 메모리 장치의 입력버퍼{INPUT BUFFER OF A SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 차동증폭기형(differential amplifier type) 입력버퍼와 바제스형(Bazes type) 입력버퍼를 가지는 본 발명에 따른 입력버퍼를 나타내는 도면이다.

도 2는 도 1의 차동증폭기형 입력버퍼의 하나의 실시예를 나타내는 도면이다.

도 3은 도 1의 차동증폭기형 입력버퍼의 다른 하나의 실시예를 나타내는 도면이다.

도 4는 도 1의 차동증폭기형 입력버퍼의 또 다른 하나의 실시예를 나타내는 도면이다.

도 5는 도 1의 바제스형 입력버퍼를 나타내는 도면이다.

도 6은 도 1에 도시되어 있는 본 발명에 따른 입력버퍼가 동작하기 위한 각 신호들의 파형을 나타내는 타이밍도이다.

도 7은 도 4의 차동증폭기형 입력버퍼에서 제 1 증폭부를 상세히 나타낸 도면이다.

도 8은 도 4의 차동증폭기형 입력버퍼에서 제 2 증폭부를 상세히 나타낸 도면이다.

도 9는 도 5의 바제스형 입력버퍼의 증폭부를 상세히 나타낸 도면이다.

도 10(a)은 종래의 입력버퍼에 흐르는 전류에 대한 시뮬레이션 결과 파형이고, 도 10(b)은 본 발명에 따른 입력버퍼에 흐르는 전류에 대한 시뮬레이션 결과 파형이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 차동증폭기형 입력버퍼

20: 바세스형 입력버퍼

30 : 지연회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 동기형 반도체 메모리 장치의 입력버퍼에 관한 것으로, 특히 셀프 리프레쉬 모드(self refresh mode)에서 입력버퍼에 흐르는 전류를 줄일 수 있는 반도체 메모리 장치의 입력버퍼에 관한 것이다.

<15> 현재, 동기형 반도체 메모리 장치, 특히 DDR SDRAM(Double Data Rate Synchronous Dynamic RaNDOm Access Memory)에서 사용하고 있는 입력버퍼는 차동증폭기형(differential amplifier type) 입력버퍼이며, 온 상태(on state)에서 이 차동증폭기형 입력버퍼에 흐르는 전류는 200 μ A 이상이 된다. 셀프 리프레쉬 모드에서 DDR SDRAM에 흐르는 전체 전류는 약 2 mA 정도이므로, 셀프 리프레쉬 모드에서는 입력버퍼에 흐르는 전류가 전체 전류의 상당 부분을 차지한다.

<16> 이와 같이, 종래에는 셀프 리프레쉬 모드에서도 노말 모드(normal mode)에서와 동일한 차동증폭기형 입력버퍼를 사용하였기 때문에 동기형 반도체 메모리 장치의 전력소모가 많았다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명의 목적은 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류를 줄일 수 있는 동기형 반도체 메모리 장치의 입력버퍼를 제공하는 것이다.

【발명의 구성 및 작용】

- <18> 본 발명에 따른 동기형 반도체 메모리 장치의 입력버퍼는 외부 클럭 인에이블 신호와 셀프 리프레쉬 제어신호를 수신하고, 수신된 상기 외부 클럭 인에이블 신호와 제 1 기준전압과의 차이를 증폭하는 제 1 입력버퍼, 상기 셀프 리프레쉬 제어신호를 수신하고 지연된 셀프 리프레쉬 제어신호를 발생시키는 지연회로, 상기 외부 클럭 인에이블 신호와 상기 지연된 셀프 리프레쉬 제어신호를 수신하고, 수신된 상기 외부 클럭 인에이블 신호와 제 2 기준전압과의 차이를 증폭하는 제 2 입력버퍼, 및 상기 제 1 입력버퍼의 출력신호와 상기 제 2 입력버퍼의 출력신호를 수신하여 논리합 연산을 수행하여 내부 클럭 인에이블 신호를 발생시키는 OR 회로를 구비하고, 노말 모드에서는 상기 제 1 입력버퍼를 동작시키고 셀프 리프레쉬 모드에서는 상기 제 2 입력버퍼를 동작시킴으로써 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류를 감소시킬 수 있는 것을 특징으로 한다.
- <19> 상기 제 1 입력버퍼는 차동증폭기형 입력버퍼이고, 상기 제 2 입력버퍼는
- <20> 저전류형 입력버퍼인 것을 특징으로 한다.
- <21> 상기 제 1 입력버퍼는 상기 외부 클럭 인에이블 신호와 상기 제 1 기준전압을 수신하고 이들 두 신호의 차이를 증폭하고 그 출력신호를 발생시키는 제 1 차동증폭기, 상기 셀프 리프레쉬 제어신호를 수신하고 반전시키는 제 1 인버터, 상기 제 1 인버터의 출력신호를 수신하는 게이트 단자와 상기 제 1 차동증폭기에 연결된 드레인 단자와 접지전압이 인가되는 소스단자를 가지는 제 1 NMOS 트랜지스터, 및 상기 제 1 인버터의 출력신호를 수신하는 게이트 단자와 전원전압이 인가되는 소스 단자와 상기 제 1 차동증폭기의 출력단자에 연결된 드레인 단자를 가지는 제 1 PMOS 트랜지스터를 구비하는 것을 특징으로 한다.

<22> 상기 제 2 입력버퍼는 상기 외부 클럭 인에이블 신호와 상기 제 2 기준전압을 수신하고 이들 두 신호의 차이를 증폭하고 그 출력신호를 발생시키는 제 2 차동증폭기, 상기 지연된 셀프 리프레쉬 제어신호를 수신하고 반전시키는 제 2 인버터, 상기 제 2 인버터의 출력신호를 수신하는 게이트 단자와 상기 제 2 차동증폭기에 연결된 드레인 단자와 전원전압이 인가되는 소스단자를 가지는 제 4 PMOS 트랜지스터, 상기 제 2 인버터의 출력신호를 수신하는 게이트 단자와 접지전압이 인가되는 소스 단자와 상기 제 2 차동증폭기의 출력단자에 연결된 드레인 단자를 가지는 제 5 NMOS 트랜지스터를 구비하는 것을 특징으로 한다.

<23> 이하, 첨부한 도면을 참조하여 본 발명에 따른 동기형 반도체 메모리 장치의 입력버퍼에 대해 설명한다.

<24> 도 1은 차동증폭기형 입력버퍼와 바제스형(Bazes type) 입력버퍼를 가지는 본 발명에 따른 입력버퍼를 나타내는 도면으로서, 외부 클럭 인에이블 신호(CKE), 기준전압(VREF1), 및 셀프 리프레쉬 제어신호(PSELF)를 수신하여 증폭하고 그 출력신호(DBOUT)를 발생시키는 차동증폭기형 입력버퍼(10), 셀프 리프레쉬 제어신호(PSELF)를 수신하여 지연된 셀프 리프레쉬 제어신호(PSELF_D)를 발생시키는 지연회로(30), 및 외부 클럭 인에이블 신호(CKE), 기준전압(VREF2), 지연된 셀프 리프레쉬 제어신호(PSELF_D)를 수신하여 증폭하고 그 출력신호(BBOUT)를 발생시키는 바제스형 입력버퍼(20), 및 차동증폭기형 입력버퍼(10)의 출력신호(DBOUT)와 바제스형 입력버퍼(20)의 출력신호(BBOUT)를 수신하고 논리합 연산을 행하고 내부 클럭 인에이블 신호(PCKE)를 발생시키는 OR 회로(40)를 구비한다.

<25> 도 2는 도 1의 차동증폭기형 입력버퍼의 하나의 실시예를 나타내는 도면으로서, 외부 클럭 인에이블 신호(CKE)와 기준전압(VREF1)을 수신하여 두 신호의 차이를 증폭하고 그 출력신호(DBOUT)를 발생시키는 차동증폭기(12), 셀프 리프레쉬 제어신호(PSELF)를 수신하고 반전시키는 인버터(INV1), 인버터(INV1)의 출력신호(IPSELF)를 수신하는 게이트 단자와 차동증폭기(12)에 연결된 드레인 단자와 접지전압(VSS)이 인가되는 소스단자를 가지는 NMOS 트랜지스터(MN1), 인버터(INV1)의 출력신호(IPSELF)를 수신하는 게이트 단자와 전원전압(VDD)이 인가된 소스 단자와 차동증폭기(12)의 출력노드(ND0)에 연결된 드레인 단자를 가지는 PMOS 트랜지스터(MP1)를 구비한다.

<26> 도 3은 도 1의 차동증폭기형 입력버퍼의 다른 하나의 실시예를 나타내는 도면으로서, 외부 클럭 인에이블 신호(CKE)와 기준전압(VREF1)을 수신하여 두 신호의 차이를 증폭하고 그 출력신호(DBOUT)를 발생시키는 차동증폭기(13), 셀프 리프레쉬 제어신호(PSELF)를 수신하는 게이트 단자와 차동증폭기(13)에 연결된 드레인 단자와 전원전압(VDD)이 인가되는 소스단자를 가지는 PMOS 트랜지스터(MP2), 셀프 리프레쉬 제어신호(PSELF)를 수신하는 게이트 단자와 접지전압(VSS)이 인가된 소스 단자와 차동증폭기(13)의 출력노드(ND0)에 연결된 드레인 단자를 가지는 NMOS 트랜지스터(MN2)를 구비한다.

<27> 도 4는 도 1의 차동증폭기형 입력버퍼의 또 다른 하나의 실시예를 나타내는 도면으로서, 도 2의 차동증폭기형 입력버퍼를 구성하는 차동증폭기(12)가 이중으로 존재하는 구조를 하고 있다. 도 4의 차동증폭기형 입력버퍼는 외부 클럭 인에이블 신호(CKE)와 기준전압(VREF1)을 수신하여 두 신호의 차이를 증폭하고 출력노드(ND0)에 그 출력신호(DBOUT)를 발생시키는 차동증폭기(14), 셀프 리프레쉬 제어신호(PSELF)를 수신하고 반전시키는 인버터(INV4), 인버터(INV4)의 출력신호(IPSELF)를 수신하는 게이트 단자와 차동

증폭기(14)에 연결된 드레인 단자와 접지전압(VSS)이 인가되는 소스단자를 가지는 NMOS 트랜지스터(MN3), 외부 클럭 인에이블 신호(CKE)와 기준전압(VREF1)을 수신하여 두 신호의 차이를 증폭하고 출력노드(ND0)에 그 출력신호(DBOUT)를 발생시키는 차동증폭기(15), 인버터(INV4)의 출력신호(IPSELF)를 수신하는 게이트 단자와 차동증폭기(15)에 연결된 드레인 단자와 접지전압(VSS)이 인가되는 소스단자를 가지는 NMOS 트랜지스터(MN4), 인버터(INV4)의 출력신호(IPSELF)를 수신하는 게이트 단자와 전원전압(VDD)이 인가된 소스 단자와 차동증폭기(15)의 출력노드(ND0)에 연결된 드레인 단자를 가지는 PMOS 트랜지스터(MP3)를 구비한다.

<28> 도 5는 도 1의 바제스형 입력버퍼를 나타내는 도면으로서, 외부 클럭 인에이블 신호(CKE)와 기준전압(VREF2)을 수신하여 두 신호의 차이를 증폭하고 출력노드(NB0)에 그 출력신호(BAOUT)를 발생시키는 차동증폭기(24), 지연된 셀프 리프레쉬 제어신호(PSELF)를 수신하고 반전시키는 인버터(INV6), 인버터(INV6)의 출력신호(IPSELF)를 수신하는 게이트 단자와 차동증폭기(24)에 연결된 드레인 단자와 전원전압(VDD)이 인가되는 소스 단자를 가지는 PMOS 트랜지스터(MP4), 인버터(INV6)의 출력신호(IPSELF)가 인가되는 게이트 단자와 차동증폭기(24)의 출력노드(NB0)에 연결된 드레인 단자와 접지전압(VSS)이 인가되는 소스 단자를 가지는 NMOS 트랜지스터(MN5), 및 인버터(INV6)의 출력신호(IPSELF)와 차동증폭기(24)의 출력신호(BAOUT)를 수신하고 논리곱을 수행하여 출력신호(BBOUT)를 발생시키는 AND 회로(25)를 구비한다. 차동증폭기(24)와 PMOS 트랜지스터(MP4)는 바제스형 입력버퍼의 증폭부(22)를 구성한다.

<29> 도 6은 도 1에 도시되어 있는 본 발명에 따른 입력버퍼가 동작하기 위한 각 신호들의 파형을 나타내는 타이밍도이다.

<30> 이하, 도 1 내지 도 6을 참조하여 본 발명에 따른 입력버퍼의 동작에 대해 설명한다.

<31> 차동증폭기형 입력버퍼(10)에 사용되는 차동증폭기는 보통의 차동증폭기이고, 바제스형 입력버퍼(20)에 사용되는 차동증폭기는 저전류 차동증폭기이다. 노말 모드에서는 셀프 리프레쉬 제어신호(PSELF)와 지연된 셀프 리프레쉬 제어신호(PSELF_D)는 모두 "로우" 상태이다. 이 때, 도 2의 NMOS 트랜지스터(MN1)가 온 되므로 차동증폭기형 입력버퍼(10)의 차동증폭기(12)는 온 되고, 도 5의 PMOS 트랜지스터(MP4)가 오프 되므로 바제스형 입력버퍼(20)의 차동증폭기(24)는 오프 된다. 외부 클럭 인에이블 신호(CKE)가 "로우" 상태로 되면 차동증폭기(12)의 출력노드(ND0)가 "로우" 상태로 되고 차동증폭기형 입력버퍼(10)의 출력신호(DBOUT)는 "로우" 상태로 된다. 결국, 내부 클럭 인에이블 신호(PCKE)는 "로우" 상태로 되어 반도체 메모리 장치는 셀프 리프레쉬 모드로 진입하게 된다. 이 후, 셀프 리프레쉬 제어신호(PSELF)가 "하이" 상태로 되고 차동증폭기형 입력버퍼(10)의 차동증폭기(12)는 오프 된다. 소정의 시간지연후 지연된 셀프 리프레쉬 제어신호(PSELF_D)가 "하이"로 되면, 도 5에 도시된 바제스형 입력버퍼(20)의 차동증폭기(24)는 온 된다. 셀프 리프레쉬 제어신호(PSELF)가 "하이" 상태이고 지연된 셀프 리프레쉬 제어신호(PSELF_D)가 "로우" 상태일 때, 두 증폭기들(12, 24)은 "오프" 되어 있지만 차동증폭기형 입력버퍼(10)의 출력신호(DBOUT)와 바제스형 입력버퍼(20)의 차동증폭기(24)의 출력신호(BAOUT)는 각각 두 증폭기들(12, 24)의 초기 값인 "로우" 상태이므로 내부 클럭 인에이블 신호(PCKE)는 "로우" 상태를 유지한다. 외부 클럭 인에이블 신호(CKE)가 "하이" 상태로 되면, 바제스형 입력버퍼(20)의 차동증폭기(24)의 출력신호(BAOUT)와 내부 클럭

인에이블 신호(PCKE)가 "하이" 상태로 되어 반도체 메모리 장치는 셀프 리프레쉬 모드를 빠져 나오게 된다. 또한, 외부 클럭 인에이블 신호(CKE)가 "하이" 상태로 되면 셀프 리프레쉬 제어신호(PSELF)는 "로우" 상태가 되어 차동증폭기형 입력버퍼(10)의 차동증폭기(12)를 온 상태가 되도록 제어한다. 소정의 시간지연 후, 지연된 셀프 리프레쉬 제어신호(PSELF)가 "로우" 상태로 되면 바제스형 입력버퍼(20)의 차동증폭기(24)를 오프시킨다.

<32> 도 3에 도시되어 있는 차동증폭기형 입력버퍼는 차동증폭기(13)가 PMOS 트랜지스터(MP2)에 의해 온 되고 차동증폭기(13)의 출력노드(ND0)가 NMOS 트랜지스터(MN2)에 의해 리셋된다는 점 외에는 도 2에 도시되어 있는 차동증폭기형 입력버퍼의 동작과 동일하므로 설명을 생략한다.

<33> 도 4에 도시되어 있는 차동증폭기형 입력버퍼는 증폭부(16, 18)가 이중으로 존재한다는 점 외에는 도 2에 도시되어 있는 차동증폭기형 입력버퍼의 동작과 동일하므로 설명을 생략한다.

<34> 도 7은 도 4의 차동증폭기형 입력버퍼에서 제 1 증폭부(16)의 구조를 상세히 나타낸 도면으로서, 전원전압(VDD)이 인가되는 소스 단자를 가지고 게이트 단자와 드레인 단자가 연결되어 있는 PMOS 트랜지스터(MP5), 전원전압(VDD)이 인가되는 소스 단자와 PMOS 트랜지스터(MP5)의 게이트 단자에 연결된 게이트 단자를 가지는 PMOS 트랜지스터(MP6), PMOS 트랜지스터(MP5)의 드레인 단자에 연결된 드레인 단자와 외부 클럭 인에이블 신호(CKE)가 인가되는 게이트 단자를 가지는 NMOS트랜지스터(MN6), PMOS 트랜지스터(MP6)의 드레인 단자에 연결된 드레인 단자와 제 1 기준전압(VREF1)이 인가되는 게이트 단자를 가지는 NMOS트랜지스터(MN7), 및 NMOS트랜지스터(MN6)와 NMOS트랜지스터(MN7)의 소스 단

자에 공통으로 연결된 드레인 단자와 반전된 셀프 리프레쉬 제어신호(IPSELF)가 인가되는 게이트 단자와 접지전압(VSS)에 연결된 소스 단자를 가지는 NMOS트랜지스터(MN8)를 구비하고 PMOS 트랜지스터(MP6)의 드레인 단자로 제 1 증폭부(16)의 출력신호(DAOUT)가 나온다.

<35> 도 8은 도 4의 차동증폭기형 입력버퍼에서 제 2 증폭부의 구조를 상세히 나타낸 도면으로서, 전원전압(VDD)이 인가되는 소스 단자와 외부 클럭 인에이블 신호(CKE)가 인가되는 게이트 단자를 가지는 PMOS 트랜지스터(MP7), 전원전압(VDD)이 인가되는 소스 단자와 제 1 기준전압(VREF1)이 인가되는 게이트 단자를 가지는 PMOS 트랜지스터(MP8), PMOS 트랜지스터(MP7)의 드레인 단자에 연결된 드레인 단자를 가지고 드레인 단자와 게이트 단자가 연결된 NMOS 트랜지스터(MN9), PMOS 트랜지스터(MP7)의 드레인 단자에 연결된 드레인 단자와 NMOS 트랜지스터(MN9)의 게이트 단자에 연결된 게이트 단자를 가지는 NMOS 트랜지스터(MN10), 및 NMOS트랜지스터(MN9)와 NMOS트랜지스터(MN10)의 소스 단자에 공통으로 연결된 드레인 단자와 반전된 셀프 리프레쉬 제어신호(IPSELF)가 인가되는 게이트 단자와 접지전압(VSS)에 연결된 소스 단자를 가지는 NMOS트랜지스터(MN11)를 구비하고 PMOS 트랜지스터(MP8)의 드레인 단자로 제 2 증폭부(18)의 출력신호(DAOUT)가 나온다.

<36> 도 7 및 도 8에 도시되어 있는 제 1 및 제 2 증폭부는 외부 클럭 인에이블 신호(CKE)가 제 1 기준전압(VREF1)보다 크면 출력신호(DBOUT)는 "하이" 상태가 되고, 외부 클럭 인에이블 신호(CKE)가 제 1 기준전압(VREF1)보다 작으면 "로우" 상태가 된다. 반전된 셀프 리프레쉬 제어신호(IPSELF)가 "하이" 상태이면 NMOS트랜지스터(MN8, MN11)가 온 되어 제 1 및 제 2 증폭부는 온 되고, 반전된 셀프 리프레쉬 제어신호(IPSELF)가 "로우" 상태이면 NMOS트랜지스터(MN8, MN11)가 오프 되어 제 1 및 제 2 증폭부는 오프 된다.

<37> 도 9는 도 5의 바제스형 입력버퍼의 증폭부(22)를 상세히 나타낸 도면으로서, 전원 전압(VDD)이 인가되는 드레인 단자와 반전되고 지연된 셀프 리프레쉬 제어신호(IPSELFD)가 인가되는 게이트 단자를 가지는 PMOS 트랜지스터(MP9), PMOS 트랜지스터(MP9)의 드레인 단자에 연결된 소스 단자와 노드(NNB)에 연결된 게이트 단자를 가지는 PMOS 트랜지스터(MP10), PMOS 트랜지스터(MP10)의 드레인 단자에 연결된 소스 단자와 외부 클럭 인에이블 신호(CKE)가 인가되는 게이트 단자와 노드(NNB)에 연결된 드레인 단자를 가지는 PMOS 트랜지스터(MP11), PMOS 트랜지스터(MP10)의 드레인 단자에 연결된 소스 단자와 제 2 기준전압(VREF2)이 인가되는 게이트 단자를 가지는 PMOS 트랜지스터(MP12), 노드(NNB)에 연결된 드레인 단자와 외부 클럭 인에이블 신호(CKE)가 인가되는 게이트 단자를 가지는 NMOS 트랜지스터(MN12), PMOS 트랜지스터(MP12)의 드레인 단자에 연결된 드레인 단자와 제 2 기준전압(VREF2)이 인가되는 게이트 단자를 가지는 NMOS 트랜지스터(MN13), 및 NMOS 트랜지스터(MN12)와 NMOS 트랜지스터(MN13)의 소스 단자에 공통으로 연결된 드레인 단자와 노드(NNB)에 연결된 게이트 단자와 접지전압(VSS)이 인가되는 소스 단자를 가지는 NMOS 트랜지스터(MN14)를 구비하고 PMOS 트랜지스터(MP12)의 드레인 단자로 증폭기(24)의 출력신호(BAOUT)가 나온다.

<38> 도 9에 도시되어 있는 바제스형 입력버퍼의 증폭부(22)는 외부 클럭 인에이블 신호(CKE)가 제 2 기준전압(VREF2)보다 크면 출력신호(BAOUT)는 "하이" 상태가 되고, 외부 클럭 인에이블 신호(CKE)가 제 2 기준전압(VREF2)보다 작으면 "로우" 상태가 된다. 도 9에 도시되어 있는 바제스형 입력버퍼의 증폭부(22)는 온 상태에서 흐르는 전류가 매우 작기 때문에 본 발명에서는 셀프 리프레쉬 모드에서 바제스형 입력버퍼의 증폭부(22)를 사용함으로써 전력소모를 줄일 수 있다.

<39> 도 10(a)은 종래의 입력버퍼에 흐르는 전류에 대한 시뮬레이션 결과 파형이고, 도 10(b)은 본 발명에 따른 입력버퍼에 흐르는 전류에 대한 시뮬레이션 결과 파형이다. 종래에는 셀프 리프레쉬 모드에서도 노말모드에서 사용하는 차동증폭기형 입력버퍼를 사용했기 때문에 셀프 리프레쉬 모드에서도 노말모드에서와 동일한 전류(본 시뮬레이션에서는 220 μ A)가 입력버퍼에 흐르지만, 본 발명에 따른 입력버퍼의 경우 노말 모드에서는 차동증폭기형 입력버퍼를 사용하고 셀프 리프레쉬 모드에서는 바제스형 입력버퍼를 사용하기 때문에 셀프 리프레쉬 모드에서 흐르는 전류(본 시뮬레이션에서는 30 μ A)는 노말 모드에서 흐르는 전류(본 시뮬레이션에서는 220 μ A)보다 훨씬 감소하였다.

<40> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<41> 상술한 바와 같이, 본 발명에 따른 동기형 반도체 메모리 장치의 입력버퍼에 의하면, 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류가 매우 작기 때문에 동기형 반도체 메모리 장치의 전력 소모를 줄일 수 있다.

【특허청구범위】**【청구항 1】**

동기형 반도체 메모리 장치에 있어서,

차동증폭기형 입력버퍼와 저전류형 입력버퍼를 구비하여, 노말 모드에서는 상기 차동증폭기형 입력버퍼를 동작시키고 셀프 리프레쉬 모드에서는 상기 저전류형 입력버퍼를 동작시킴으로써 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류를 감소시킬 수 있는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 2】

외부 클럭 인에이블 신호와 셀프 리프레쉬 제어신호를 수신하고, 수신된 상기 외부 클럭 인에이블 신호와 제 1 기준전압과의 차이를 증폭하는 제 1 입력버퍼;

상기 셀프 리프레쉬 제어신호를 수신하고 지연된 셀프 리프레쉬 제어신호를 발생시키는 지연회로;

상기 외부 클럭 인에이블 신호와 상기 지연된 셀프 리프레쉬 제어신호를 수신하고, 수신된 상기 외부 클럭 인에이블 신호와 제 2 기준전압과의 차이를 증폭하는 제 2 입력버퍼; 및

상기 제 1 입력버퍼의 출력신호와 상기 제 2 입력버퍼의 출력신호를 수신하여 논리합 연산을 수행하여 내부 클럭 인에이블 신호를 발생시키는 OR 회로를 구비하고,

노말 모드에서는 상기 제 1 입력버퍼를 동작시키고 셀프 리프레쉬 모드에서는 상기 제 2 입력버퍼를 동작시킴으로써 셀프 리프레쉬 모드에서 입력버퍼에 흐르는 전류를 감소시킬 수 있는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 3】

제 2 항에 있어서, 상기 제 1 입력버퍼는

차동증폭기형 입력버퍼인 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 4】

제 2 항에 있어서, 상기 제 2 입력버퍼는

저전류형 입력버퍼인 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 5】

제 2 항에 있어서, 상기 제 2 입력버퍼는

바제스형 입력버퍼인 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 6】

제 2 항에 있어서, 상기 제 1 입력버퍼는

상기 외부 클럭 인에이블 신호와 상기 제 1 기준전압을 수신하고 이들 두 신호의 차이를 증폭하고 그 출력신호를 발생시키는 제 1 차동증폭기;

상기 셀프 리프레쉬 제어신호를 수신하고 반전시키는 제 1 인버터;

상기 제 1 인버터의 출력신호를 수신하는 게이트 단자와 상기 제 1 차동증폭기에 연결된 드레인 단자와 접지전압이 인가되는 소스단자를 가지는 제 1 NMOS 트랜지스터;
및

상기 제 1 인버터의 출력신호를 수신하는 게이트 단자와 전원전압이 인가되는 소스 단자와 상기 제 1 차동증폭기의 출력단자에 연결된 드레인 단자를 가지는 제 1 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 7】

제 2 항에 있어서, 상기 제 1 입력버퍼는

상기 외부 클럭 인에이블 신호와 상기 제 1 기준전압을 수신하고 이들 두 신호의 차이를 증폭하고 그 출력신호를 발생시키는 제 1 차동증폭기;

상기 외부 클럭 인에이블 신호를 수신하는 게이트 단자와 상기 제 1 차동증폭기에 연결된 드레인 단자와 전원전압이 인가되는 소스단자를 가지는 제 2 PMOS 트랜지스터; 및

상기 외부 클럭 인에이블 신호를 수신하는 게이트 단자와 접지전압이 인가되는 소스 단자와 상기 제 1 차동증폭기의 출력단자에 연결된 드레인 단자를 가지는 제 2 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 8】

제 2 항에 있어서, 상기 제 2 입력버퍼는

상기 외부 클럭 인에이블 신호와 상기 제 2 기준전압을 수신하고 이들 두 신호의 차이를 증폭하고 그 출력신호를 발생시키는 제 2 차동증폭기;

상기 지연된 셀프 리프레쉬 제어신호를 수신하고 반전시키는 제 2 인버터;

상기 제 2 인버터의 출력신호를 수신하는 게이트 단자와 상기 제 2 차동증폭기에 연결된 드레인 단자와 전원전압이 인가되는 소스단자를 가지는 제 4 PMOS 트랜지스터;

상기 제 2 인버터의 출력신호를 수신하는 게이트 단자와 접지전압이 인가되는 소스 단자와 상기 제 2 차동증폭기의 출력단자에 연결된 드레인 단자를 가지는 제 5 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【청구항 9】

제 8 항에 있어서, 상기 제 2 차동증폭기는

상기 제 4 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 제 1 노드에 연결된 게이트 단자를 가지는 제 5 PMOS 트랜지스터;

상기 제 5 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 외부 클럭 인에이블 신호가 인가되는 게이트 단자와 상기 제 1 노드에 연결된 드레인 단자를 가지는 제 6 PMOS 트랜지스터;

상기 제 5 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 제 2 기준 전압이 인가되는 게이트 단자를 가지는 제 6 PMOS 트랜지스터;

상기 제 1 노드에 연결된 드레인 단자와 상기 외부 클럭 인에이블 신호가 인가되는 게이트 단자를 가지는 제 4 NMOS 트랜지스터;

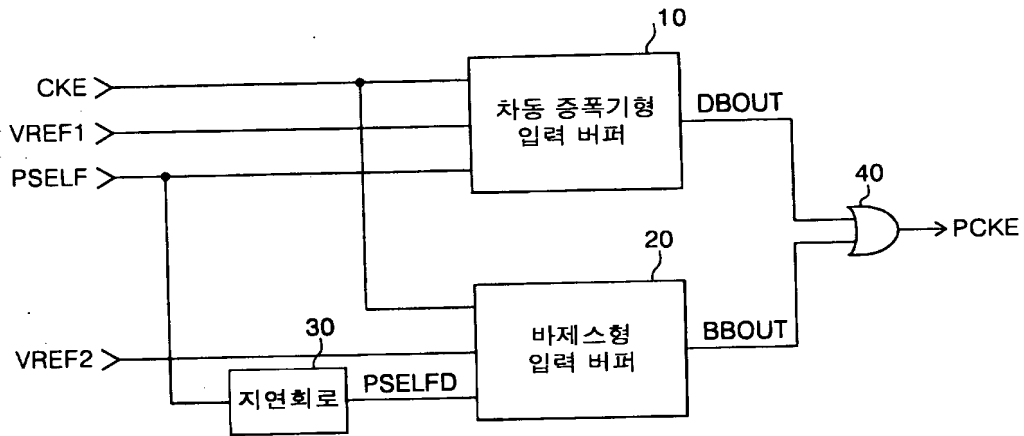
상기 제 6 PMOS 트랜지스터의 드레인 단자에 연결된 드레인 단자와 상기 제 2 기준 전압이 인가되는 게이트 단자를 가지는 제 5 NMOS 트랜지스터; 및

상기 제 4 NMOS 트랜지스터와 상기 제 5 NMOS 트랜지스터의 소스 단자에 공통으로 연결된 드레인 단자와 상기 제 1 노드에 연결된 게이트 단자와 접지전압이 인가되는 소스 단자를 가지는 제 6 NMOS 트랜지스터를 구비하고, 상기 제 6 PMOS 트랜지스터의 드레

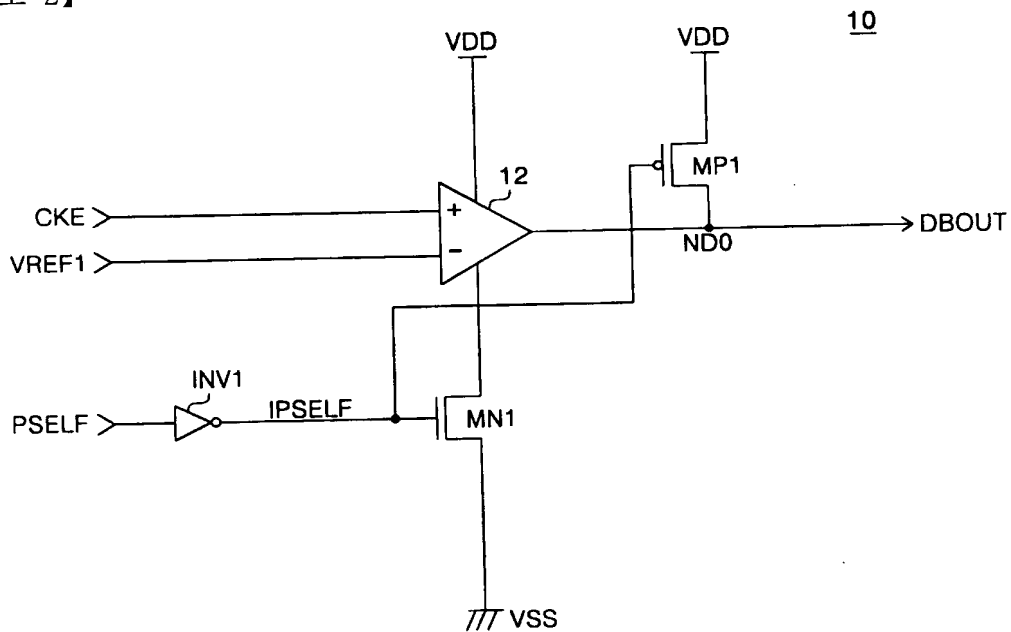
인 단자에서 상기 제 2 증폭기의 출력신호가 나오는 것을 특징으로 하는 동기형 반도체 메모리 장치의 입력버퍼.

【도면】

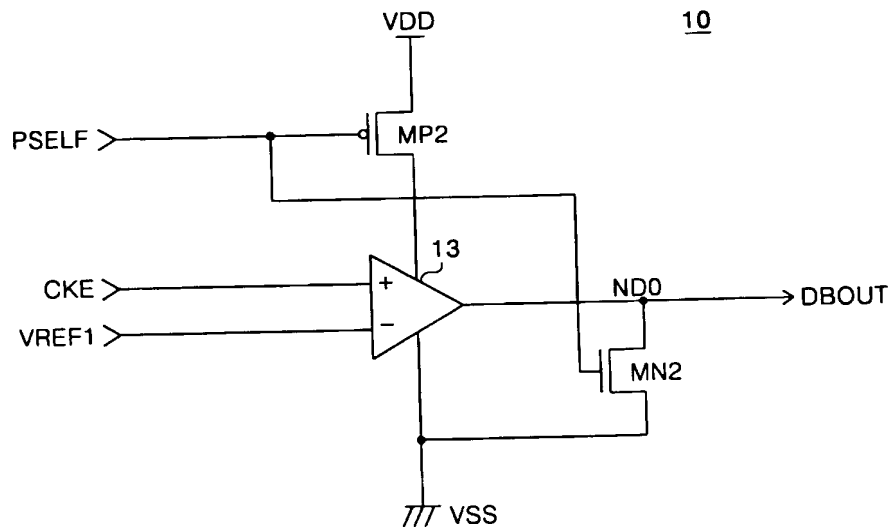
【도 1】



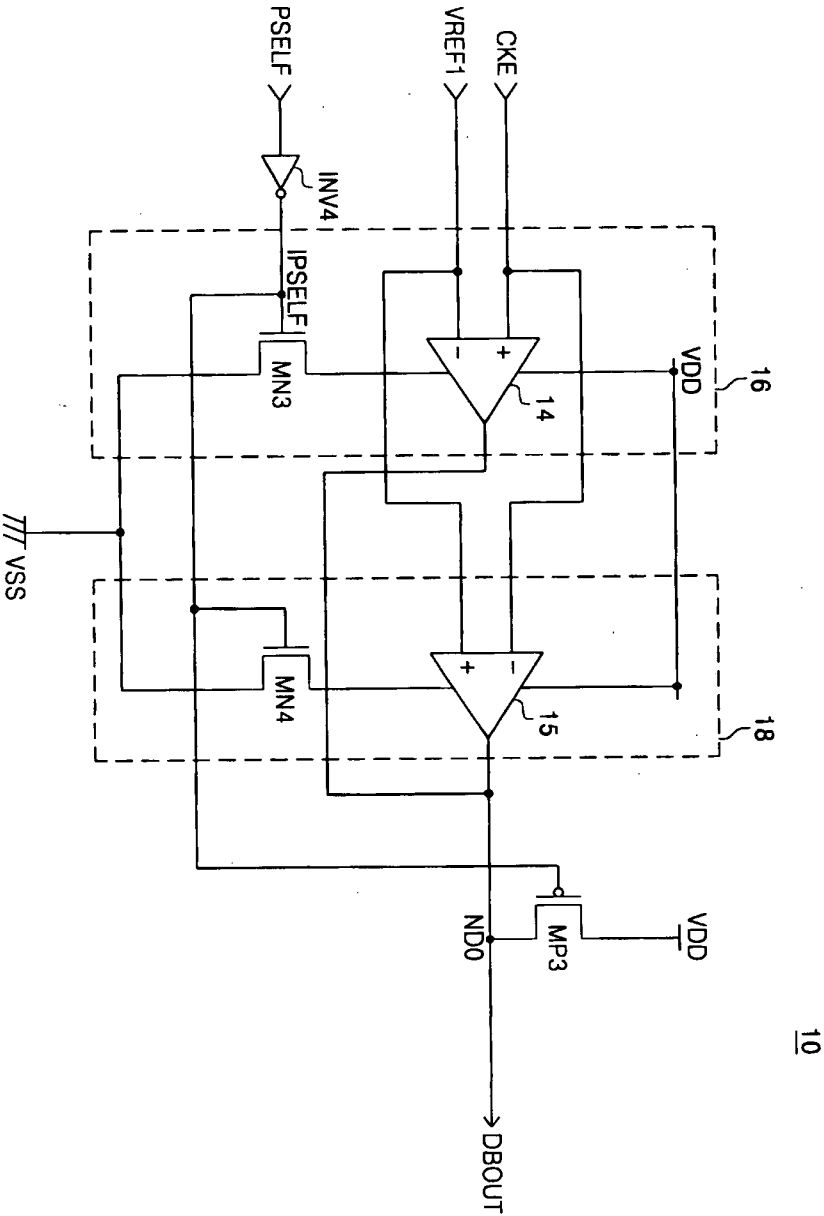
【도 2】



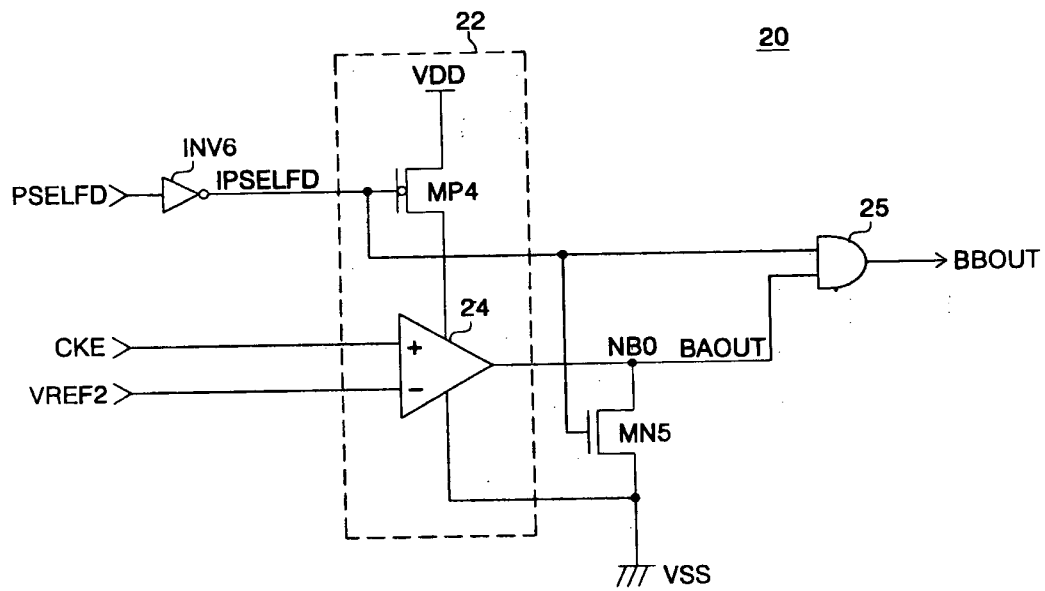
【도 3】



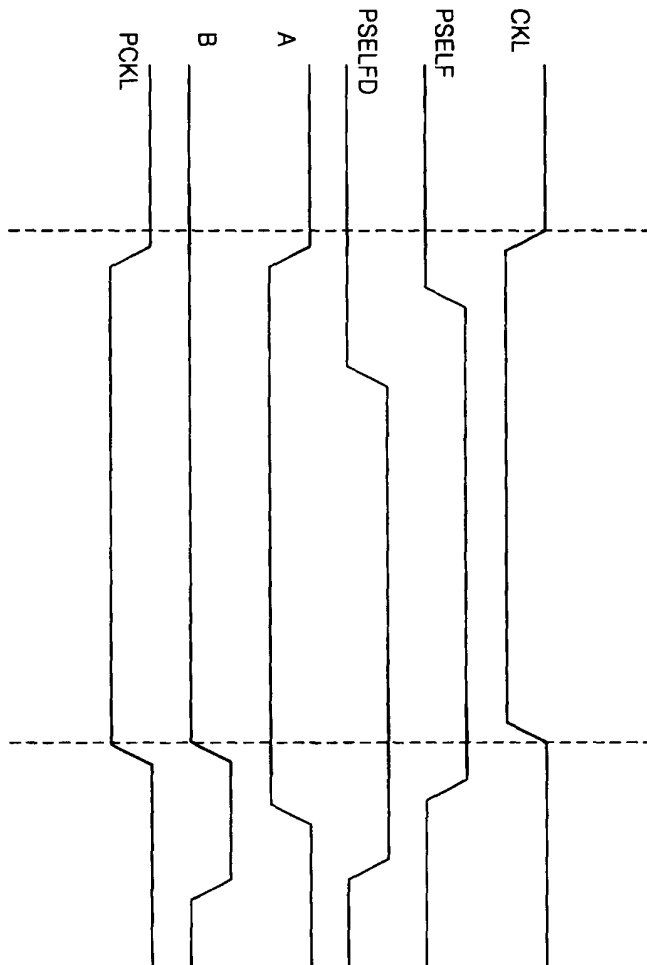
【도 4】



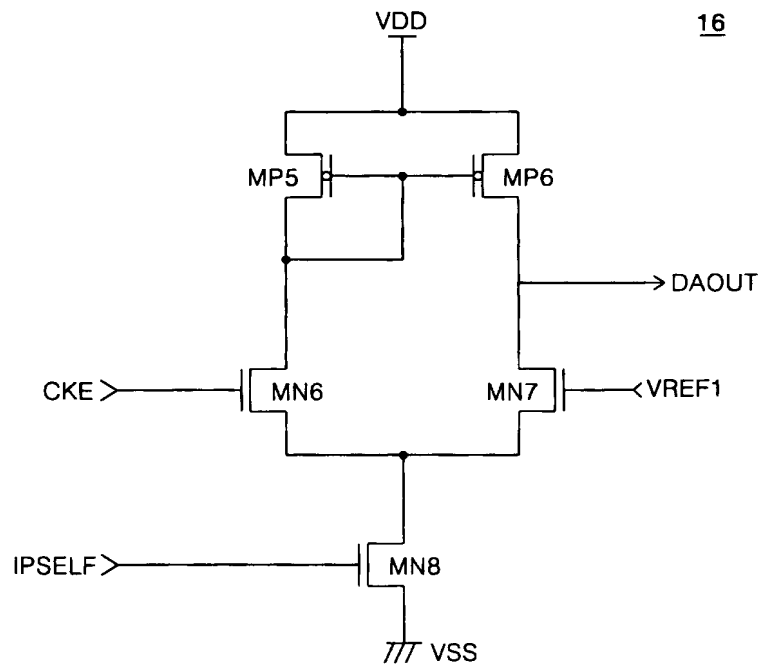
【도 5】



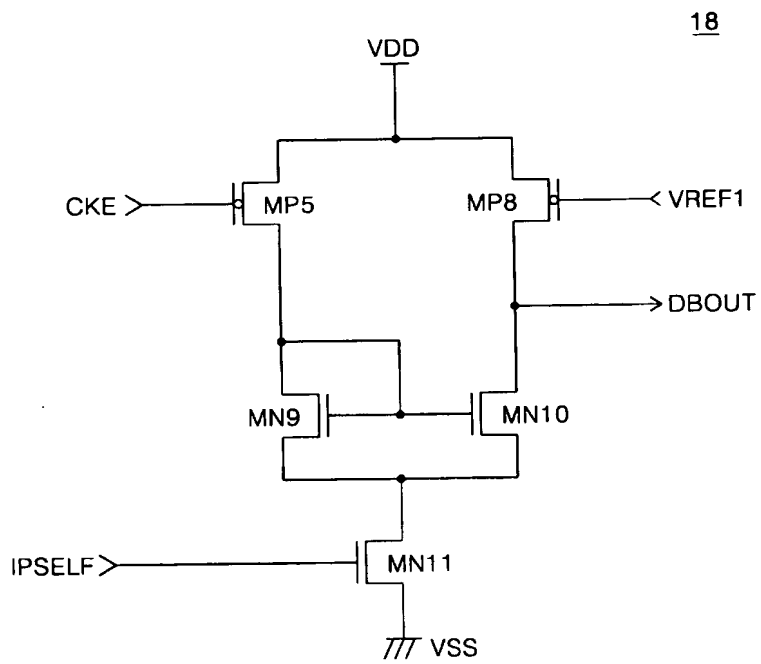
【도 6】



【도 7】



【도 8】



【도 10】

